

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-235157

(43)Date of publication of application : 10.09.1993

(51)Int.Cl.

H01L 21/76

(21)Application number : 04-038299

(71)Applicant : FUJITSU LTD
KYUSHU FUJITSU ELECTRON:KK

(22)Date of filing : 26.02.1992

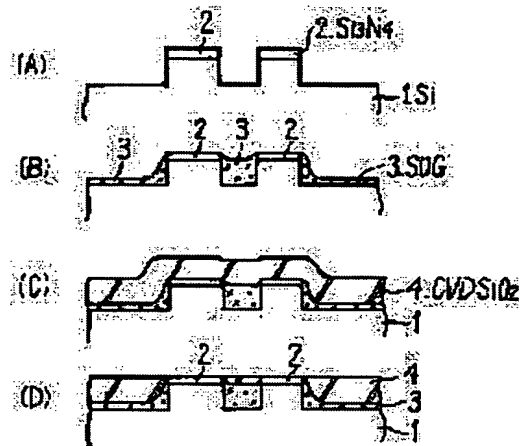
(72)Inventor : NIWA YOSHIYUKI
HARADA HIDEKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To form an isolation insulating film in which no step and no bird beak occur by increasing its thickness by forming a groove on an isolation film forming region, burying a narrow groove for forming the insulating film with an SOG film, burying a wide groove with a CVD SiO_2 film and polishing it.

CONSTITUTION: An Si_3N_4 film 2 is grown as an anti-polishing film on an Si substrate 1, and a groove is formed on a field region. The substrate 1 is rotatably coated with a spin-on-glass(SOG) film 3 in a thickness for closely burying in a pattern. Then, an SiO_2 film 4 is deposited in a thickness on the field region to become the same level as that of the film 2. With the film 2 as a stopper the film 4 is polished, the film 2 is removed, and elements are formed in the exposed substrate. Thus, a surface of the substrate is flattened, and since an insulating film buried in the field region is not thermally oxidized, no bird's beak is generated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

16/16

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-235157

(43) 公開日 平成5年(1993)9月10日

(51) Int.Cl.⁵
H 0 1 L 21/76識別記号 庁内整理番号
L 9169-4M

F I

技術表示箇所

審査請求 未請求 請求項の数1(全4頁)

(21) 出願番号	特願平4-38299	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22) 出願日	平成4年(1992)2月26日	(71) 出願人	000142470 株式会社九州富士通エレクトロニクス 鹿児島県薩摩郡入来町副田5950番地
		(72) 発明者	丹羽 義幸 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72) 発明者	原田 秀樹 鹿児島県薩摩郡入来町副田5950番地 株式 会社九州富士通エレクトロニクス内
		(74) 代理人	弁理士 井桁 貞一

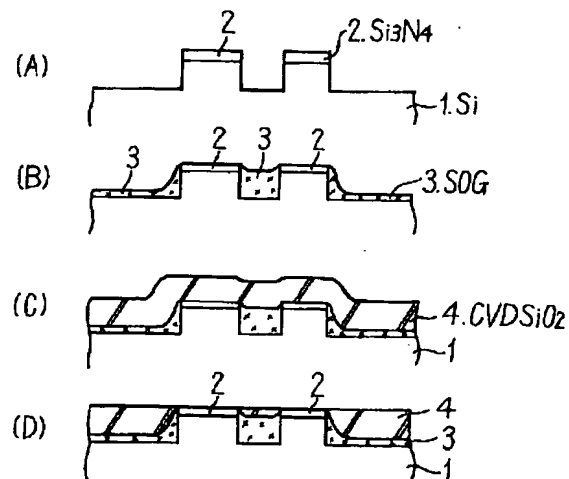
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 分離絶縁膜の形成方法に関し、厚膜化しても段差がなく且つパズピークの発生をなくしデバイスの微細化と高速化をはかることを目的とする。

【構成】 フィールド領域に分離絶縁膜を形成する方法であって、半導体基板1上に耐研磨膜2を被着し、幅の異なる複数の該フィールド領域の該耐研磨膜および該基板をエッチングして該基板上に溝を形成する工程と、該基板上にスピノングラス(SOG)膜3を回転塗布して幅の狭いフィールド領域の溝を完全に埋め込む工程と、幅の広いフィールド領域における膜厚が溝の深さと同じ程度になる厚さで絶縁膜4を該基板上に堆積する工程と、該耐研磨膜2をストップパにして該絶縁膜4をポリッシングし、次いで該耐研磨膜2を除去し、露出した該半導体基板に素子形成する工程を有する半導体装置の製造方法により達成される。Xように構成する。

原理説明図



(2)

特開平5-235157

1

2

【特許請求の範囲】

【請求項1】 フィールド領域に分離絶縁膜を形成する方法であって、

半導体基板(1)上に耐研磨膜(2)を被着し、幅の異なる複数の該フィールド領域の該耐研磨膜および該基板をエッチングして該基板に溝を形成する工程と、
該基板上にスピノングラス(SOG)膜(3)を回転塗布して幅の狭いフィールド領域の溝を完全に埋め込む工程と、

幅の広いフィールド領域における膜厚が溝の深さと同じ程度になる厚さで絶縁膜(4)を該基板上に堆積する工程と、

該耐研磨膜をストップパにして該絶縁膜をポリッシングし、次いで該耐研磨膜を除去し、露出した該半導体基板に素子形成する工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に係り、特にフィールド領域に分離絶縁膜を形成する方法

【0002】 近年、半導体装置の高速化、高集積化に伴いパターンのスケールダウンが進められ、素子分離絶縁膜の平坦化や、選択酸化(LOCOS)法による素子分離絶縁膜形成の際に発生するパズピークに起因する寄生容量の増加を抑制すること等が要求されている。

【0003】

【従来の技術】 従来の素子分離技術は、選択酸化法による素子分離絶縁膜の形成が主流であった。この方法は周知のようにシリコン(Si)基板の素子分離絶縁膜を形成しない領域上に薄い下地酸化膜を介して窒化シリコン(Si_3N_4)からなる耐酸化膜を形成し、基板を熱酸化して耐酸化膜の周囲に分離絶縁膜を形成するものである。

【0004】 熱酸化の際に、薄い下地酸化膜に沿って耐酸化膜の端からその下にパズピークと呼ばれる鳥の嘴状に延びた酸化膜が形成される。

【0005】

【発明が解決しようとする課題】 従来の選択酸化法による素子分離技術では、素子分離絶縁膜とSi基板間の段差による上層配線や上層絶縁膜の段差被覆不良に起因する信頼性の低下、およびパズピークによる素子領域の減少と寄生容量の増加に伴う動作速度の低減等の問題があった。

【0006】 本発明は厚膜化しても段差がなく且つパズピークの発生がない分離絶縁膜を形成し、半導体装置の微細化と高速化をはかることを目的とする。

【0007】

【課題を解決するための手段】 上記課題の解決は、フィールド領域に分離絶縁膜を形成する方法であって、半導体基板1上に耐研磨膜2を被着し、幅の異なる複数の該

フィールド領域の該耐研磨膜および該基板をエッチングして該基板に溝を形成する工程と、該基板上にスピノングラス(SOG)膜3を回転塗布して幅の狭いフィールド領域の溝を完全に埋め込む工程と、幅の広いフィールド領域における膜厚が溝の深さと同じ程度になる厚さで絶縁膜4を該基板上に堆積する工程と、該耐研磨膜をストップパにして該絶縁膜をポリッシングし、次いで該耐研磨膜2を除去し、露出した該半導体基板に素子形成する工程を有する半導体装置の製造方法により達成される。

【0008】

【作用】 本発明では、分離膜形成領域(フィールド領域)に予め溝を形成し、素子内の分離絶縁膜形成用の狭い溝はスピノングラス(SOG)膜を塗布して埋込み、さらに広い溝は気相成長(CVD)による二酸化シリコン(SiO_2)膜で埋込み、CVD SiO_2 膜をポリッシングして平坦化している。

【0009】 図1(A)～(D)は本発明の原理説明図である。図1(A)において、Si基板1上に耐研磨膜として Si_3N_4 膜2を成長し、ドライエッチングによりフィールド領域に溝を形成する。

【0010】 図1(B)において、基板上にSOG膜3を密パターン埋めつくす膜厚で回転塗布する。図1(C)において、フィールド領域における膜厚が Si_3N_4 膜2と同じレベルになる厚さでCVD SiO_2 膜4を堆積する。

【0011】 図1(D)において、 Si_3N_4 膜2をストップパにしてCVD SiO_2 膜4をポリッシングする。 Si_3N_4 膜2を除去し露出したSi基板1内に素子形成する。上記の方法によると分離絶縁膜はその膜厚は溝の深さで決まり且つ狭いフィールド領域はSOG膜3で完全に埋め込んで形成され、広いフィールド領域はCVD SiO_2 膜4の堆積とポリッシュバックによるため、基板表面は平坦化され、またフィールド領域に埋め込まれた絶縁膜は熱酸化によるものでないためパズピークの発生はない。

【0012】 この際、絶縁膜の溝への埋め込みを2段に行うのは、狭い溝を完全に埋め込むためには回転塗布によるSOG膜が極めて有効であり、さらに基板の露出面を熱酸化しておくこと完全な埋め込みができる。また、広い溝は堆積とポリッシュバックによる手法によっている。

【0013】

【実施例】 図2(A)～(D)は本発明の実施例を説明する断面図である。この例では、バイポーラ素子の形成について説明する。

【0014】 図2(A)において、11は比抵抗 $15\Omega\text{cm}$ 、面指数(100)のp型Si基板、12は埋込層、13はエピタキシャルSi層、14は Si_3N_4 膜とSi基板間の歪み緩和用のバッファとなる下地酸化膜で厚さ100Åの熱酸化 SiO_2 膜、15はポリッシングのストップパ膜(耐研磨膜)で厚さ2000ÅのCVD Si_3N_4 膜である。

【0015】 通常のバイポーラプロセスにより図示の層構造を形成する。図2(B)において、異方性エッチング

(3)

特開平5-235157

3

により Si_3N_4 膜15および SiO_2 膜14をバターニングして、フィールド領域のこれらの膜を除去する。

【0016】 Si_3N_4 および SiO_2 のエッチング条件(Si_3N_4 、 SiO_2 共通)の一例は次の通りである。

反応ガス： $\text{CF}_4 + \text{CHF}_3$

ガス圧力：0.2 Torr

RF 電力：450 W

次いで、異方性エッチングによりフィールド領域のエピタキシャルSi層13をエッチングし、深さ0.6～1.0 μm の溝を形成する。

【0017】Siのエッチング条件の一例は次の通りである。

反応ガス： $\text{SiCl}_4 + \text{SF}_6 + \text{N}_2$

ガス圧力：0.1 Torr

RF 電力：450 W

次いで、Siの異方性エッチングの際の損傷層を除去するため、Siのウエットエッチングを行う(500～1000Å程度)。この際のエッチャントは例えば、硝酸とフッ化水素酸アンモニウムの混合液を用いる。

【0018】図2(C)において、Siの露出面に熱酸化 SiO_2 膜16を形成し、狭いフィールド領域を埋め込む程度の厚さにSOG膜17を塗布する(広いフィールド領域上で0.1～0.3 μm)。その上にCVD SiO_2 膜18を厚さ0.5～1.1 μm 堆積する。

【0019】図2(D)において、 Si_3N_4 膜15をストップパにしてCVD SiO_2 膜18をポリッシングして基板表面を平坦化し、 Si_3N_4 膜15を除去する。図3は実施例の素子分離を用いて形成したバイポーラトランジスタの断面図である。

【0020】図において、19はp型ベース領域、20はn型エミッタ領域、21はトランジスタ間を分離するトレンチ分離絶縁膜、22はチャネルカット拡散層、23は層間絶縁膜、24はベース引き出し用ポリッシング膜、25はエミッタ電極、26はベース電極、27はコレクタ電極である。

【0021】ここで、SOG膜17が埋め込まれた狭いフィ

ールド領域はトランジスタの活性領域と n^+ 型コレクタコンタクト領域間に相当する。またSOG膜17とCVD SiO_2 膜18が埋め込まれた広いフィールド領域は素子(トランジスタ)間を分離するトレンチ分離絶縁膜21上の領域に相当する。

【0022】

【発明の効果】本発明により、厚膜化しても段差がなく且つパズピークの発生がない素子分離絶縁膜が形成でき、半導体装置の微細化と高速化に寄与することができた。

【図面の簡単な説明】

【図1】 本発明の原理説明図

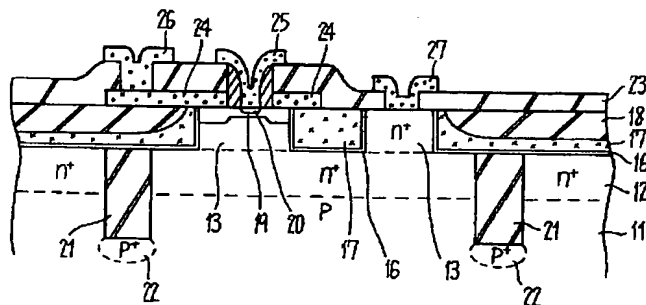
【図2】 本発明の実施例を説明する断面図

【図3】 実施例の素子分離を用いた断面図

- 1 半導体基板でSi基板、
- 2 耐研磨膜で Si_3N_4 膜
- 3 SOG膜
- 4 絶縁膜でCVD SiO_2 膜
- 11 p型Si基板
- 12 埋込層
- 13 エピタキシャルSi層
- 14 下地酸化膜で熱酸化 SiO_2 膜
- 15 耐研磨膜で Si_3N_4 膜
- 16 熱酸化 SiO_2 膜
- 17 SOG膜
- 18 絶縁膜でCVD SiO_2 膜
- 19 ベース領域
- 20 エミッタ領域
- 21 トランジスタ間を分離するトレンチ分離絶縁膜
- 22 チャネルカット拡散層
- 23 層間絶縁膜
- 24 ベース引き出し用ポリッシング膜
- 25 エミッタ電極
- 26 ベース電極
- 27 コレクタ電極

【図3】

実施例の素子分離を用いたバイポーラトランジスタの断面図

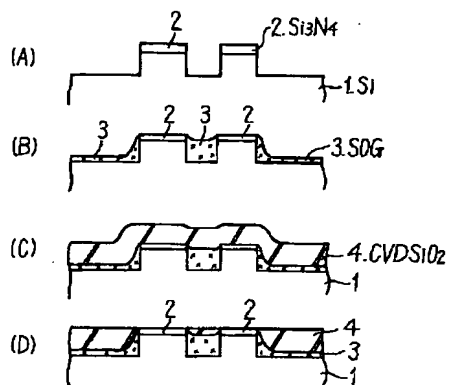


(4)

特開平5-235157

【図1】

原理説明図



【図2】

実施例の断面図

